

Docket No.: SON-2887
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
KENICHI SHIGENAMI

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: January 2, 2004

For: SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

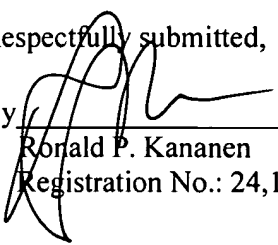
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign applications filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-002472	January 8, 2003

In support of this claim, a certified copy of said original foreign application are filed herewith.

Dated: January 2, 2004

Respectfully submitted,

By 

Ronald P. Kananen
Registration No.: 24,104

RADER, FISHMAN & GRAUER, PLLC
Lion Building
1233 20th Street, N.W., Suite 501
Washington, D.C. 20036
Tel: (202) 955-3750
Fax: (202) 955-3751
Customer No. 23353

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 8 日
Date of Application:

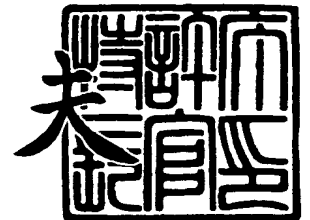
出 願 番 号 特 願 2 0 0 3 - 0 0 2 4 7 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 0 2 4 7 2]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0290607102

【提出日】 平成15年 1月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/404

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 重並 賢一

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 助川 俊一

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100094053

 【弁理士】

 【氏名又は名称】 佐藤 隆久

【手数料の表示】

 【予納台帳番号】 014890

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】

容量素子の蓄積電荷に応じてデータを記憶するメモリセルが行列状に配置してなるメモリセルアレイにおいて、上記メモリセルの行ごとに設けられているワードと、上記メモリセルの列ごとに設けられているビット線とを含む半導体記憶装置であって、

ビット線と入出力データ線との間に設けられ、書き込みのとき、選択ワード線が活性化状態になったとき導通し、書き込みデータに応じた上記入出力データ線に印加されている書き込み信号を選択的に上記ビット線に印加する書き込みゲート

を有する半導体記憶装置。

【請求項 2】

上記書き込みゲートが上記ビット線と入出力データ線との間に接続されているスイッチング素子からなり、書き込みのとき入力アドレスによって選択されたカラムに対応する上記スイッチング素子を導通させる選択信号を生成し、上記書き込みゲートに供給するデコーダ回路

を有する請求項 1 記載の半導体記憶装置。

【請求項 3】

上記メモリセルアレイにおいて、各カラムに 2 本のビット線からなるビット線対が設けられ、上記各ビット対の 2 本のビット線がツイストレイアウトで配置されている

請求項 1 記載の半導体記憶装置。

【請求項 4】

容量素子の蓄積電荷に応じてデータを記憶するメモリセルが行列状に配置してなるメモリセルアレイにおいて、上記メモリセルの行ごとに設けられているワードと、上記メモリセルの列ごとに設けられているビット線とを含む半導体記憶装置であって、

アドレスに応じて複数の列から一つを選択するカラム選択回路と、
上記カラム選択回路と入出力データ線との間に設けられ、書き込みのとき、選択ワード線が活性化状態になったとき導通し、書き込みデータに応じた上記入出力データ線に印加されている書き込み信号を上記カラム選択回路を介して選択ビット線に印加する書き込みゲートを有する半導体記憶装置。

【請求項 5】

上記メモリセルアレイにおいて、各カラムに 2 本のビット線からなるビット線対が設けられ、上記各ビット対の 2 本のビット線がツイストレイアウトで配置されている

請求項 4 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置である D R A M (Dynamic Random Access Memory) に関し、特に高速なデータ書き込みを実現可能な D R A M に関するものである。

【0 0 0 2】

【従来の技術】

D R A M は、容量素子の蓄積電荷に応じてデータを記憶する半導体記憶装置であり、通常一つのキャパシタと一つのトランジスタによってメモリセルが構成されている。各メモリセルにおいてトランジスタの制御端子（ゲート）がワード線に接続され、ワード線に印加されている活性化電圧によってメモリセルが選択される。

【0 0 0 3】

図 5 は通常の D R A M の部分構成を示す回路図である。図示のように、D R A M はメモリセルアレイ 1 0 0 a、ビット線イコライザ 1 0 2、センスアンプ 1 5 0 a 及びカラムセクタ 1 6 0 a を有している。

なお、図 5 において、ワード線を選択するロウデコード及びカラムを選択するためのカラム選択信号 Y S E L を出力するカラムデコードが省略されている。

【0004】

メモリセルアレイ 100a は、行列状に配置されている複数のメモリセルによって構成されている。なお、図5では2つのメモリセルMC1とMC2のみが例示されている。

図示のように、メモリセルMC1は、トランジスタ、例えば、nMOSトランジスタTr1及び電荷を保持するキャパシタCs1によって構成されている。トランジスタTr1のゲートがワード線WL_nに接続され、一方の電極がビット線BLに接続され、他方の電極がキャパシタCs1に接続されている。キャパシタCs1の一方の電極がトランジスタTr1に接続され、他方の電極がプレート線に接続されている。プレート線は、例えば、電圧V_pに保持されている。

【0005】

メモリセルMC2は、図示のように、メモリセルMC1とほぼ同じ構成を有し、トランジスタTr2とキャパシタCs2によって構成されている。トランジスタTr2のゲートがワード線WL_{n+1}に接続され、一方の電極がビット線BLBに接続されている。なお、キャパシタCs1とCs2は、ビアを共有してプレート線に接続されている。

【0006】

ワード線WL_nとWL_{n+1}は、図示しないロウデコードによって選択される。ロウアドレスに応じて選択されたワード線に活性化電圧が印加される。ここで、活性化電圧は、例えば、電源電圧V_{DD}よりメモリセルMC1、MC2を構成するnMOSトランジスタのしきい値電圧V_{thn}分だけ高い電圧に設定されている。

ビット線BLとBLBは、ビット線対を形成している。ビット線BLとBLBは、ビット線イコライザ102によって同じく電圧V_bにイコライズされる。読み出しのとき、選択メモリセルの記憶データに応じてビット線BLとBLBの間に生じた電圧差がセンスアンプ150aによって増幅される。

ビット線BLとデータ線LIOとの間に、カラムセクタ160aを構成するトランジスタQ4が接続され、ビット線BLBとデータ線LIOBとの間に、カラムセクタ160aを構成するトランジスタQ5が接続されている。

【0007】

イコライザ102は、図示のように、トランジスタQ1、Q2及びQ3によって構成されている。これらのトランジスタのゲートがビット線イコライズ信号BLEQが印加される信号線に接続されている。読み出しの前に、ビット線イコライズ信号BLEQが活性化状態、即ちハイレベルに保持されているので、トランジスタQ1、Q2とQ3が導通し、ビット線BLとBLBがイコライズ電圧Vbに保持される。そして、読み出しが開始したのち、ビット線イコライズ信号がローレベルに切り替えられ、トランジスタQ1、Q2とQ3が遮断し、ビット線BLとBLBがフローティング状態になる。

【0008】

センスアンプ150aは、図示のように、pMOSトランジスタPT1、PT2及びnMOSトランジスタNT1、NT2によって構成されている。これらのMOSトランジスタによって、入出力端子が交互に接続されている2つのインバータからなるラッチ回路が構成されている。ビット線BLとBLBがラッチ回路の両方の端子にそれぞれ接続されている。pMOSトランジスタPT1とPT2側に駆動電圧SDPが供給され、nMOSトランジスタNT1とNT2側に駆動電圧SDNが供給される。なお、センスアンプを動作させるとき、駆動電圧SDPは、例えば電源電圧V_{DD}に保持され、駆動電圧SDNは、接地電位に保持される。一方、センスアンプが待機時に駆動電圧SDPとSDNは同じ電圧、例えば、電源電圧V_{DD}と接地電位との中間電圧に保持される。

【0009】

読み出しのとき、センスアンプ150aには、駆動電圧SDPとSDNが供給され、これに応じてセンスアンプが活性化される。このとき、センスアンプにより、ビット線BLとBLBの電位差が増幅されるので、選択メモリセルの記憶データが読み出されて外部に出力される。

【0010】

カラムセクタ160aにおいて、トランジスタQ4とQ5は、カラム選択信号YSELによって制御される。カラム選択信号YSELは、図示していないカラムデコードによって供給される。読み出しまたは書き込みのとき、選択されたカラムに対応するカラム選択信号YSELが活性化され、即ち、ハイレベルに保

持される。これに応じて、トランジスタQ4とQ5が導通し、読み出しのとき、センスアンプ150aによって増幅されたビット線BLとBLBの電圧がそれぞれデータ線LIOとLIOBに出力され、書き込みのとき、データ線LIOとLIOBの信号電圧がそれぞれビット線BLとBLBに出力される。

【0011】

図6は、図5に示すDRAMの書き込み動作を示すタイミングチャートである。なお、ここで、DRAMにおけるランダムアクセスでの書き込み動作を例に説明する。

以下、図5及び図6を参照しつつ、ランダムアクセスにおけるDRAMの書き込み動作について説明する。

【0012】

DRAMの書き込みには、読み出し動作が含まれている。これは、選択ワード線に接続されている書き込み対象以外のメモリセルの記憶データをリフレッシュし、データの信頼性を保証するためである。即ち、書き込みのとき、まず選択ワード線に接続されているすべてのメモリセルに対して読み出しが行われる。その後、選択メモリセルに外部から入力される書き込みデータが書き込まれ、その他のメモリセルに読み出したデータが書き込まれる。

【0013】

図6に示すように、書き込みの前にビット線イコライズ信号BLEQが活性化され、これに応じてビット線イコライザ102が活性化され、ビット線BL及びBLBが電圧Vbにプリチャージされている。読み出し開始後の時間t0において、ビット線イコライズ信号BLEQが非活性化され（リセットされ、例えば、ローレベルに保持され）、これに応じてビット線BLとBLBがフローティング状態に保持される。

【0014】

その後、時間t1においてロウデコーダによりワード線WLが選択され、活性化される。ここで、選択ワード線WLに電源電圧VDDよりも高い電圧が印加される。このため、選択ワード線WLに接続されているメモリセルのトランジスタが活性化され、導通状態に切り替わる。それと同時に、各メモリセルのストレージ

ノードSTN、即ち、トランジスタとキャパシタとの接続ノード内に蓄積されていた電荷と、プリチャージレベルにあるビット線BL及びBLBの電荷の分配により、ビット線BLとBLBとの間に電位差 ΔBL が発生する。

【0015】

図6(D)に示すように、ビット線BLとBLBとの電位差 ΔBL が所定のレベルに達した時間 t_2 において、センスアンプ150aに駆動電圧SDPとSDNが供給される。これに応じて、センスアンプ150aが動作し、ビット線BLとBLBとの電位差が増幅される。このため選択メモリセル以外のメモリセルにおいて、増幅されたビット線BLまたはBLBの電圧に応じて記憶データが再書き込まれる。即ち、記憶データのリフレッシュが行われる。

【0016】

センスアンプ150aによって読み出しデータを増幅し終わった時点(t_3)で、カラムデコーダによって選択されたカラムに対応するカラム選択信号YSELが活性化される。このため、カラムセクタ160aにおいて、選択されたカラムに対応するトランジスタQ4とQ5が開き、書き込みデータに応じてデータ線LIOとLIOBに入力される書き込み信号がそれぞれビット線BLとBLBに印加される。

【0017】

なお、図6(C)には書き込みデータと読み出しデータが異なる場合ビット線BL及びBLBの電圧変化を示している。同図(E)に示すように、時間 t_3 においてカラム選択信号YSELが活性化されると、データ線LIOとLIOBに印加されている書き込み信号に応じて、ビット線BLとBLBの電圧が反転する。そして、反転したビット線BLとBLBの電圧がセンスアンプ150aにより保持される。このため、ビット線BLまたはBLBの電圧に応じて、選択メモリセルのキャパシタの蓄積電荷が制御され、書き込みデータが選択メモリセルに書き込まれる。

【0018】

書き込み終了後、図6に示すように時間 t_4 において、ロウデコーダによって選択ワード線WLがローレベルに保持され、センスアンプ150aに印加された

駆動信号SDPとSDNが所定の間電位に保持される。そして、次の読み出しまたは書き込みのために、ビット線イコライズ信号BLEQが活性化され、これに応じてビット線BL及びBLBが電圧Vbにプリチャージされる。これにより書き込み動作が終了する。

【0019】

【特許文献1】

特開平3-273594号公報

【0020】

【発明が解決しようとする課題】

ところで、上述した従来の半導体記憶装置であるDRAMでは、上述したように、書き込みはビット線のイコライズが終了してセンスアンプにより読み出しデータを増幅したあと開始される。選択メモリセルへの書き込み電荷量を十分確保するための書き込み時間を所定の長さ保たなければならないので、書き込みの高速化は実現困難である。

【0021】

昨今、キャッシュメモリやネットワーク向けのメモリにおいて、ビット単価の高いSRAMをビット単価が安く低消費電力のDRAMへ置き換えようとしたとき、DRAMに高速なランダムアクセス特性が求められてくる。SRAMのメモリセルはDRAMのセンスアンプとほぼ同じであり、例えば、6個のMOSトランジスタで構成されている。SRAMのランダムアクセスはDRAMのページモードアクセスと等価である。しかし、DRAMのランダムアクセスは、上述したように、通常のページモードアクセスにビット線イコライズが終了してからセンスアンプが読み出したデータを増幅する期間、そして、増幅したデータをリストアして次のアクセスのためのプリチャージ期間が余分に必要である。

【0022】

さらに、書き込みに関しては書き込みによってメモリセルのストレージノードに蓄積した電荷が次の読み出しまでの間にどれだけ残留しているかが重要であり、この残留電荷量が少なくなると次の読み出しにおいて記憶データを正しく読み出せなくなる。書き込みによりメモリセルのストレージノードに蓄積した電荷の

量がセンスアンプがラッチさせてからワード線がリセットされるまでの時間の長さによって決まる。

【0023】

しかし、ランダムアクセスモードでは、書き込みが高速化するにつれ、メモリセルへの注入電荷の量が低下し、書き込み後のストレージノードの電位が不十分な現象が現れる。その結果、メモリセルアレイ書き込み動作の高速化が妨げられる。即ち、ストレージノードの電位を確保するために、十分な書き込み期間を取らなければならない、書き込み期間の短縮が困難になる。メモリセルのトランジスタのオン抵抗を低減させればある程度問題を解決できるが、トランジスタのゲート耐圧、メモリセルのストレージノードの蓄積電荷のリークを考慮すると、改善の効果がそれほど期待できない。

【0024】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、DRAMのランダムアクセス動作において、高速な書き込みを実現でき、しかも書き込みデータの信頼性を維持できる半導体記憶装置を提供することにある。

【0025】

【課題を解決するための手段】

上記目的を達成するため、本発明の半導体記憶装置は、容量素子の蓄積電荷に応じてデータを記憶するメモリセルが行列状に配置してなるメモリセルアレイにおいて、上記メモリセルの行ごとに設けられているワードと、上記メモリセルの列ごとに設けられているビット線とを含む半導体記憶装置であって、ビット線と入出力データ線との間に設けられ、書き込みのとき、選択ワード線が活性化状態になったとき導通し、書き込みデータに応じた上記入出力データ線に印加されている書き込み信号を選択的に上記ビット線に印加する書き込みゲートを有する。

【0026】

また、本発明の半導体記憶装置は、容量素子の蓄積電荷に応じてデータを記憶するメモリセルが行列状に配置してなるメモリセルアレイにおいて、上記メモリセルの行ごとに設けられているワードと、上記メモリセルの列ごとに設けられているビット線とを含む半導体記憶装置であって、アドレスに応じて複数の列から

一つを選択するカラム選択回路と、上記カラム選択回路と入出力データ線との間に設けられ、書き込みのとき、選択ワード線が活性化状態になったとき導通し、書き込みデータに応じた上記入出力データ線に印加されている書き込み信号を上記カラム選択回路を介して選択ビット線に印加する書き込みゲートを有する。

【 0 0 2 7 】

また、本発明では、好適には、上記書き込みゲートが上記ビット線と入出力データ線との間に接続されているスイッチング素子からなり、書き込みのとき入力アドレスによって選択されたカラムに対応する上記スイッチング素子を導通させる選択信号を生成し、上記書き込みゲートに供給するデコード回路を有する。

【 0 0 2 8 】

さらに、本発明では、好適には、上記メモリセルアレイにおいて、各カラムに 2 本のビット線からなるビット線対が設けられ、上記各ビット対の 2 本のビット線がツイストレイアウトで配置されている。

【 0 0 2 9 】

本発明によれば、メモリセルアレイの各列に設けられているビット線と入出力データ線との間に書き込みゲートが設けられ、書き込みのとき、選択ワード線の活性化とともに当該書き込みゲートが開き、書き込みデータに応じて入出力データ線に設定された書き込み信号が書き込みゲートを介して選択ビット線に印加される。このため、書き込みにおいて、選択ワード線が活性化された直後から選択メモリセルに対してデータの書き込みを実行でき、選択メモリセルの書き込みが非選択メモリセルの読み出し及びリフレッシュと並行に行われるので、選択メモリセルのキャパシタに対して電荷の蓄積時間を十分確保でき、書き込みの高速化を実現できる。

【 0 0 3 0 】

【発明の実施の形態】

第 1 実施形態

図 1 は本発明に係る半導体記憶装置、即ち D R A M の構成を示すブロック図である。

図示のように、D R A M はメモリセルアレイ 1 0 0、ロウアドレスラッチ回路

110、ロウデコーダ120、カラムアドレスラッチ回路130、カラムデコーダ140、センスアンプ150、カラムセクタ160、入出力回路170、及びコマンド・タイミング発生回路180を有している。

【0031】

以下、DRAMの各構成部分について説明する。

メモリセルアレイ100は、複数のメモリセルが行列状に配置されて構成されている。メモリセルがなす行列の各行においてワード線が配置され、各列にビット及びビット補線からなるビット線対が配置されている。読み出し及び書き込みのとき、ロウデコーダ120によって、ロウアドレスRADRに従って、ロウアドレスRADRによって指定されたワード線を選択するので、当該選択ワード線に接続されているメモリセルが選択される。そして、選択されたメモリセルに対して、ビット線を介してデータの読み出しまたは書き込みが行われる。

【0032】

ロウアドレスラッチ回路110は、外部から入力されるアドレスADRのうち、ロウアドレスRADRを保持して、ロウデコーダ120に出力する。

ロウデコーダ120は、ロウアドレスラッチ回路110からのロウアドレスRADRに応じて、当該ロウアドレスRADRによって指定されたワード線を選択し、選択したワード線に所定の活性化電圧を印加する。

【0033】

カラムアドレスラッチ回路130は、外部から入力されるアドレスADRのうち、カラムアドレスCADRを保持して、カラムデコーダ140に出力する。

カラムデコーダ140は、カラムアドレスラッチ回路130からのカラムアドレスCADRに応じて、当該カラムアドレスCADRによって指定されたビット線を選択するためのカラム選択信号CSELを発生し、カラムセクタ160に出力する。

【0034】

センスアンプ150は、読み出しのとき、選択メモリセルの記憶データに応じて選択ビット線対に生じた電圧差を増幅し、増幅した結果を読み出しデータとして入出力回路170を介して外部に出力する。書き込みのとき、入出力回路17

0 を介して入力される書き込みデータに応じて、選択ビット線に所定の振幅を持つ差電圧を発生し、これによって選択メモリセルに書き込みデータを記憶させる。

【0035】

カラムセクタ 160 は、カラムデコーダ 140 から入力されるカラム選択信号 CSEL に応じて、カラムアドレスによって指定されたカラムを選択する。このため、当該選択されたカラムに対応するセンスアンプによって、読み出しまたは書き込みが行われる。

【0036】

入出力回路 170 は、読み出しのとき、カラムセクタ 160 によって選択されたセンスアンプからの読み出しデータを保持して外部に出力する。書き込みのとき、外部から入力される書き込みデータ DQ を保持して、カラムセクタ 160 によって選択したセンスアンプに出力する。

【0037】

コマンド・タイミング発生回路 180 は、外部から入力されるコマンド CMD 及びシステムクロック信号 CLK に応じて、上述した各部分回路の動作を制御するコマンド及びタイミング制御信号を発生し、それぞれの部分回路に供給する。例えば、コマンド・タイミング発生回路 180 は、ロウアドレスラッチ回路 110、カラムアドレスラッチ回路 130 に、アドレスを保持するタイミングを制御するラッチ制御信号を出力する。また、センスアンプ 150 にセンスアンプイネーブル信号 SAE を出力する。さらに、入出力回路 170 にデータの入出力タイミングを制御する入出力タイミング制御信号を出力する。

【0038】

上述した各部分回路によって構成されている本実施形態の DRAM において、コマンド・タイミング発生回路 180 によって出力されるコマンド及びタイミング制御信号に応じて、ロウアドレスラッチ回路 110 とカラムアドレスラッチ回路 130 によって、入力されるアドレス ADR に含まれるロウアドレス RADR 及びカラムアドレス CADR がそれぞれラッチされる。ロウデコーダ 120 により、ロウアドレス RADR に従ってワード線が選択され、選択ワード線が活性化

される。そして、カラムデコーダ140によって、カラムアドレスCADRに従ってカラム選択信号CSELが生成され、これに応じてカラムセクタ160により所定のセンスアンプが選択され、当該センスアンプに対応する選択メモリセルに対して読み出し及び書き込みが行われる。

【0039】

次に、図2に示す本実施形態のDRAMの部分回路を参照して、本実施形態のDRAMの構成についてさらに詳しく説明する。

DRAMの部分回路は、図2に示すようにメモリセルアレイ100a、ビット線イコライザ102、センスアンプ150a、書き込みゲート162、及び中間増幅回路164を有している。

【0040】

以下、図2に示すDRAMの各部分について説明する。

メモリセルアレイ100aは、図1に示すメモリセルアレイ100の一部分である。上述したように、メモリセルアレイ100は、複数のメモリセルが行列状に配置されて構成されている。なお、図2に示すメモリセルアレイ100aでは、2つのメモリセルMC1、MC2のみが例示されている。

【0041】

メモリセルMC1とMC2は、図示のように、MOSトランジスタとキャパシタによって構成されており、MOSトランジスタのゲートがワード線に接続され、一方の端子がビット線BLまたはBLBに接続され、他方の端子がキャパシタに接続されている。このため、ワード線が活性化され、即ち、ハイレベルに保持されているとき、メモリセルのトランジスタが導通し、キャパシタがビット線BLまたはBLBに接続される。

【0042】

なお、メモリセルにおいて、トランジスタとキャパシタとの接続点がストレージノードSTNと呼ばれ、書き込みにより、キャパシタに所定の電荷が蓄積されるので、ストレージノードSTNが書き込みデータに応じて一定の電位に保持される。

【0043】

ビット線イコライザ102及びセンスアンプ150aは、前述した従来のDRAMのそれぞれの構成部分と同じである。即ち、ビット線イコライザ102は、読み出しまたは書き込みの前に、活性化されたビット線イコライズ信号BLEQに応じて、ビット線BLとBLBを所定の電位Vbにプリチャージする。そして、プリチャージ後、ビット線イコライズ信号BLEQがリセットされ、ビット線BLとBLBがフローティング状態に保持される。

センスアンプ150aは、読み出しまたは書き込みのとき、ビット線BLとBLBの電位差を増幅する。そして、増幅したビット線BLとBLBの電圧を保持するラッチ回路としての機能も有する。

【0044】

図2に示す書き込みゲート162及び中間増幅回路164は、図1に示すカラムセクタ160に含まれる。

【0045】

書き込みゲート162は、図2に示すように、トランスファゲートTG1とTG2によって構成されている。図示のように、トランスファゲートTG1は、ビット線BLとデータ線LIOとの間に接続され、トランスファゲートTG2は、ビット線BLBとデータ線LIOBとの間に接続されている。トランスファゲートTG1及びTG2を構成するnMOSトランジスタのゲートに、カラム書き込み選択信号CSWが印加され、トランスファゲートTG1及びTG2を構成するpMOSトランジスタのゲートに、カラム書き込み選択信号CSWBが印加される。

【0046】

なお、カラム書き込み選択信号CSWとCSWBは、図1に示すカラムデコーダ140によって生成され、互いに異なる論理レベルに保持される。書き込みのとき、カラムデコーダ140は、入力されるカラムアドレスCADRに応じて、指定されたカラムを選択し、それに対応するカラム書き込み選択信号CSW及びCSWBを活性化する。

【0047】

例えば、選択されたカラムに対応するカラム書き込み選択信号CSWがハイレ

ベル、CSWBがローレベルに保持され、これに応じてトランスファゲートTG1とTG2が導通し、ビット線BL、BLBがそれぞれデータ線LIO、LIOBに接続される。一方、非選択状態では、カラム書き込み選択信号CSWがローレベル、CSWBがハイレベルに保持されているので、トランスファゲートTG1とTG2が遮断し、ビット線BLとBLBがデータ線LIO及びLIOBから切り離される。

【0048】

中間増幅回路164は、図示のように、nMOSトランジスタQ4、Q5、Q6及びQ7によって構成されている。トランジスタQ4とQ5によって差動増幅回路が構成されている。即ち、トランジスタQ4とQ5のソースが基準電位に共通に接続され、トランジスタQ4のゲートがビット線BLBに接続され、トランジスタQ5のゲートがビット線BLに接続されている。トランジスタQ4のコレクタがトランジスタQ6を介してデータ線LIOに接続され、トランジスタQ5のコレクタがトランジスタQ7を介してデータ線LIOBに接続されている。

【0049】

トランジスタQ6とQ7のゲートには、カラム読み出し選択信号CSRが印加される。なお、カラム読み出し選択信号SCRは、図1に示すカラムデコード140によって生成され、読み出しのとき、選択カラムに対応するカラム読み出し選択信号CSRが活性化され、ハイレベルに保持される。

【0050】

このため、読み出しのとき、選択カラムに対応する中間増幅回路164のトランジスタQ6とQ7が導通し、ビット線BLとBLBの電圧がそれぞれトランジスタQ5とQ4のゲートに入力される。そして、トランジスタQ4とQ5によって増幅された信号がトランジスタQ6とQ7を介してデータ線LIO及びLIOBに出力される。

【0051】

上述したように、本実施形態のDRAMにおいて、各カラムのビット線BL、BLBとデータ線LIO、LIOBとの間に、書き込みゲート162及び中間増幅回路164が設けられている。書き込みのとき、書き込みゲート162のトラ

ンスファゲートTG1とTG2を所望のタイミングで導通させることによって、非選択メモリセルにおける読み出し及び再書き込み動作と同時に、選択メモリセルに対して書き込みを行うことができる。従来のDRAMにおけるランダムアクセスの書き込みに較べて、選択メモリセルへの電荷蓄積時間をより長く確保でき、また、書き込みの高速化が図れる。以下、本実施形態のDRAMの回路図及びタイミングチャートを参照しつつ、書き込み動作を説明する。

【0052】

図3は、本実施形態の書き込み動作を示すタイミングチャートである。以下、図2及び図3を参照しながら、本実施形態のDRAMの書き込み動作を説明する。

【0053】

書き込みが開始する前に、ビット線イコライズ信号BLEQが活性化状態にあり、ビット線BLとBLBが電圧Vbにプリチャージされている。そして、書き込みが開始した時間t0において、ビット線イコライズ信号BLEQがリセットされ、ビット線BL及びBLBがフローティング状態に保持される。

【0054】

そして、図3(B)に示すように、時間t1において、選択ワード線WLが活性化される。また、図3(E)と(F)に示すように、データ線LIOとLIOBが書き込みデータに応じて電圧にそれぞれ確定された時点でカラム書き込み選択信号CSWとCSWBが活性化される。

【0055】

即ち、書き込みのとき、ワード線WLが活性化するとともに、カラム書き込み選択信号CSWとCSWBも活性化する。これによって、データ線LIOとLIOBの信号電圧がそれぞれ書き込みゲート162を通じて選択ビット線BLとBLBに印加される。このように、本実施形態のDRAMにおいて、書き込みが開始するとともに、選択メモリセルに対してデータの書き込みが開始される。一方、選択ワード線WLに接続されている選択メモリセル以外のメモリセルに対して、通常のとおり読み出しと読み出しデータによる再書き込みが実行される。

【0056】

以下、図3を参照しつつ書き込みのタイミングについてさらに詳しく説明する。図3(C)に示すように、カラム書き込み選択信号CSWとCSWBが活性化されると、データ線LIOとLIOBの信号電圧がそれぞれビット線BLとBLBに印加される。これに応じて、選択メモリセルのストレージノードSTNが書き込みデータに応じてチャージされ、ノード電圧が変化する。

【0057】

時間t2において、センスアンプに駆動電圧SDPとSDNが供給される。これに応じてセンスアンプ動作し、ビット線BLとBLBとの電位差が増幅される。そして、ビット線BLとBLBの電圧がセンスアンプによってラッチされた状態の時間t3において、カラム書き込み選択信号CSWとCSWBがリセットされる。即ち、カラム書き込み選択信号CSWがローレベルに、CSWBがハイレベルに保持される。これに従って、書き込みゲート162のトランスファゲートTG1とTG2が遮断し、ビット線BLがデータ線LIOから切り離され、ビット線BLBがデータ線LIOBから切り離される。

【0058】

その後、センスアンプに駆動電圧SDPとSDNの供給が続き、選択メモリセルのキャパシタに電荷が蓄積し、ストレージノードSTNの電位が所定のレベルに達したとき、即ち、図3に示す時間t4において、ワード線WLがリセットされる。続いて、センスアンプに供給される駆動電圧SDPとSDNがリセットされるとともに、ビット線イコライズ信号BLEQが活性化される。これによって、ビット線BLとBLBが電圧Vbにプリチャージされ、次の書き込みまたは読み出し動作に備える。

【0059】

以上説明したように、本実施形態のDRAMにおいて、書き込み時に選択ワード線WLの活性化とともに、カラム書き込み選択信号CSWとCSWBも活性化され、これに応じて書き込みゲート162が導通し、データ線LIOとLIOBの書き込み信号が選択ビット線BLとBLBに印加される。その後、センスアンプ150aに駆動電圧SDPとSDNが供給され、センスアンプによりビット線BLとBLBの電位差が増幅され、さらにビット線BLとBLBの電圧がラッチ

される。このため、選択メモリセルのキャパシタに書き込みデータに応じて電荷が蓄積され、ストレージノードSTNの電位が変化し、この電位が所望のレベルに達したとき、ワード線WLがリセットされ、また、センスアンプへの駆動電圧の供給が停止し、ビット線BLとBLBが次の書き込みまたは読み出しのためにプリチャージされ、書き込み動作が終了する。

【0060】

このように、本実施形態のDRAMにおいて、書き込み時に選択メモリセルへのデータの書き込みが非選択メモリセルの読み出し及び再書き込みと同時に行われる。即ち、従来のDRAMの書き込みにおいてワード線活性化後、ストレージノードの蓄積電荷によるビット線電位差の発生そしてセンスアンプの活性化までの時間をストレージノードへの書き込みにあてられる。その結果、従来のDRAMの書き込み動作に較べて、例えば同じ書き込みサイクルで書き込みを行う場合、選択メモリセルのキャパシタへの電荷の蓄積時間をより長く取れ、書き込みデータの安定性を改善できる。

【0061】

なお、本実施形態のDRAMにおいて、書き込み時に選択ビット線BLとBLBが同時に駆動されるので、ビット線間のカップリングによって、リフレッシュを行う隣り合ったビット線へのノイズの影響が心配される。このため、本実施形態に於いて、例えば、ビット線及びセンスアンプ内にツイストレイアウトを行うことによって、隣り合ったビット線間のカップリングを相殺することができ、書き込みを行う選択ビット線対が隣接するビット線への影響を抑制でき、記憶データの信頼性の向上を実現できる。

【0062】

第2実施形態

図4は本発明に係る半導体記憶装置の第2の実施形態を示す回路図である。

図2に示すように、本実施形態の半導体記憶装置は、複数のカラムによって書き込みゲート162及び中間増幅回路164を共有する構成を有するDRAMである。

【0063】

図4に示すDRAMでは、二つのカラムによって書き込みゲート162及び中間増幅回路164を共有する構成を例示している。図示のように、本実施形態のDRAMにおいて、ビット線BL0とBL0Bからなるビット線対と、ビット線BL1とBL1Bからなるビット線対がそれぞれ2つのカラムに対応して設けられている。

メモリセルアレイ100bにおいて、メモリセルMC1がビット線BL0に接続され、メモリセルMC2がビット線BL0Bに接続されている。また、メモリセルMC3がビット線BL1に接続され、メモリセルMC4がビット線BL1Bに接続されている。メモリセルMC1とMC3がワード線WL_nによって選択され、メモリセルMC2とMC4がワード線WL_{n+1}によって選択される。

【0064】

ビット線BL0とBL0Bからなるビット線対に、ビット線イコライザBQ0及びセンスアンプSA0が設けられ、同様に、ビット線BL1とBL1Bからなるビット線対に、ビット線イコライザBQ1及びセンスアンプSA1が設けられている。

【0065】

図4に示すように、ビット線BL0とノードNDMBとの間に、トランスファゲートTG0が設けられ、ビット線BL0BとノードNDMとの間に、トランスファゲートTG0Bが設けられている。また、ビット線BL1とノードNDMBとの間に、トランスファゲートTG1が設けられ、ビット線BL1BとノードNDMとの間に、トランスファゲートTG1Bが設けられている。

トランスファゲートTG0とTG0Bを構成するnMOSトランジスタのゲートがカラム選択信号CSEL0が印加される信号線に接続され、pMOSトランジスタのゲートがカラム選択信号CSEL0Bが印加される信号線に接続されている。一方、トランスファゲートTG1とTG1Bを構成するnMOSトランジスタのゲートがカラム選択信号CSEL1が印加される信号線に接続され、pMOSトランジスタのゲートがカラム選択信号CSEL1Bが印加される信号線に接続されている。

【0066】

トランスファゲートTG0, TG0B, TG1及びTG1Bによってセンスアンプセクタ152が構成されている。このため、カラム選択信号CSEL0がハイレベル、CSEL0Bのローレベルの状態において、トランスファゲートTG0とTG0Bが導通し、センスアンプSA0が選択される。一方、カラム選択信号CSEL1がハイレベル、CSEL1Bのローレベルの状態において、トランスファゲートTG1とTG1Bが導通し、センスアンプSA1が選択される。

なお、カラム選択信号CSEL0, CSEL0B, CSEL1とCSEL1Bがカラムデコーダによって供給される。

【0067】

書き込みゲート162は、センスアンプSA0及びSA1に対応する2つのカラムによって共有されている。図示のように、書き込みゲート162は、トランスファゲートTGWとTGWBによって構成されている。トランスファゲートTGWは、ノードNDMBとデータ線LIOとの間に設けられ、トランスファゲートTGWBは、ノードNDMとデータ線LIOBとの間に設けられている。

【0068】

トランスファゲートTGWとTGWBを構成するnMOSトランジスタのゲートがカラム書き込み選択信号CSWが印加される信号線に接続され、これらのトランスファゲートを構成するpMOSトランジスタのゲートがカラム書き込み選択信号CSWBが印加される信号線に接続されている。このため、カラム書き込み選択信号CSWがハイレベル、CSWBがローレベルのとき、トランスファゲートTGWとTGWBが導通し、ノードNDMBがデータ線LIOに接続され、ノードNDMがデータ線LIOBに接続される。

【0069】

図示のように、ノードNDMに主ビット線BLMが接続され、また、ノードNDMBに主ビット線BLMBが接続されている。主ビット線BLMとBLMBからなるビット線対に、主ビット線イコライザ166及び中間増幅回路164が設けられている。

【0070】

主ビット線イコライザ166は、ビット線イコライズ信号BLEQに応じて主

ビット線BLM及びBLMBをイコライズする。即ち、ビット線イコライズ信号BLEQが活性化されるとき、主ビット線BLM及びBLMBが電圧V_bにプリチャージされる。

【0071】

中間増幅回路164は、主ビット線BLMとBLMBの電位差を増幅し、増幅の結果をデータ線LIO及びLIOBに出力する。

図4に示すように、中間増幅回路164は、差動増幅回路を構成するトランジスタQ4、Q5及び中間増幅回路164とデータ線LIO、LIOBとの間に設けられているトランジスタQ6とQ7によって構成されている。トランジスタQ6とQ7のゲートがカラム読み出し選択信号CSRが印加される信号線に接続されている。

【0072】

中間増幅回路164は、読み出しのとき動作する。トランジスタQ4のゲートに主ビット線BLMの電圧が印加され、トランジスタQ5のゲートに主ビット線BLMBの電圧が印加される。このため、読み出しのとき、中間増幅回路164によって主ビット線BLMとBLMBの電位差が増幅される。また、読み出しのとき、カラム読み出し選択信号CSRが活性化され、即ち、ハイレベルに保持されるので、トランジスタQ6とQ7が導通し、トランジスタQ4とQ5による増幅の結果がトランジスタQ6とQ7を介してデータ線LIOとLIOBに出力される。

【0073】

次に、上述した本実施形態のDRAMの書き込み動作について説明する。

書き込みが開始する前に、活性化されたビット線イコライズ信号に応じて、各カラムに対応するビット線対及び主ビット線BLMとBLMBからなる主ビット線対がイコライズされ、すべてのビット線が電圧V_bにプリチャージされる。そして、選択ワード線が活性化され、各カラムにおいて選択ワード線に接続されているメモリセルのトランジスタが導通する。ワード線の活性化とともに、カラム書き込み選択信号CSWとCSWBが活性化され、これに応じて書き込みゲート162のトランスファゲートが導通する。さらに、センスアンプセクタ152

によって、複数のセンスアンプのうち一つが選択され、それに対応するトランスファゲートが導通するように制御される。

【0074】

この結果、データ線LIOとLIOBに印加された書き込み信号が書き込みゲート162及びセンスアンプセクタ152を介して、選択されたカラムに対応するビット線対に印加されるので、選択メモリセルのキャパシタに対して、書き込みデータに応じて電荷の蓄積が行われる。

【0075】

書き込みのとき、センスアンプセクタ152において、カラム選択信号CELに応じて、選択カラムに対応するトランスファゲートが導通し、それ以外のトランスファゲートがすべて遮断するように制御されるので、選択カラムのビット線対にのみ書き込みデータに応じた書き込み信号が印加される。また、選択ワード線の活性化とともに、カラム書き込み選択信号CSW/CSWB及び選択カラムに対応するカラム選択信号が活性化されるので、選択メモリセルへのデータ書き込みが非選択メモリセルで行われる読み出し及び再書き込みと同時に実行される。

【0076】

なお、読み出しのとき、書き込みと同様に、センスアンプセクタ152によって複数のカラムから所定のカラムが選択され、選択カラムのセンスアンプによって増幅されたビット線電圧が主ビット線対を介して中間増幅回路164に入力される。そして、中間増幅回路164によって増幅された電圧がデータ線LIOとLIOBに出力されるので、選択メモリセルの記憶データが外部に読み出すことができる。

【0077】

以上説明したように、本実施形態によれば、複数のカラムによって書き込みゲート162及び中間増幅回路164が共有され、書き込み時にセンスアンプセクタ152によって、所定のセンスアンプが選択され、それに対応するビット線対に書き込みデータに応じた書き込み信号が印加されるので、選択メモリセルに対してデータの書き込みが行われる。さらに、本実施形態において、上述した本

発明の第1の実施形態と同様に、書き込み時に選択メモリセルに対するデータの書き込みは、非選択メモリセルにおける読み出し及び再書き込みと同時に行われるので、同じ書き込みサイクルの場合、選択メモリセルのキャパシタへの電荷の蓄積時間を長く確保でき、記憶データの信頼性の向上を実現できるほか、書き込み時間の短縮が図れ、高速な書き込みサイクルが実現可能である。

【0078】

【発明の効果】

以上説明したように、本発明の半導体記憶装置によれば、従来のDRAMに較べて、書き込み時間を短縮でき、かつメモリセルのキャパシタへの蓄積電荷量を十分確保でき、書き込みデータの信頼性の向上の実現できる。

また、本発明によれば、DRAMのランダムアクセス動作において、書き込み時間を短縮でき、高速なランダムアクセスを実現できる利点がある。

【図面の簡単な説明】

【図1】

本発明に係る半導体記憶装置の第1の実施形態を示す構成図である。

【図2】

本実施形態のDRAMの構成を示す回路図である。

【図3】

本実施形態のDRAMの書き込み動作を示すタイミングチャートである。

【図4】

本発明のDRAMの第2の実施形態を示す回路図である。

【図5】

従来のDRAMの一構成例を示す回路図である。

【図6】

従来のDRAMの書き込み動作を示すタイミングチャートである。

【符号の説明】

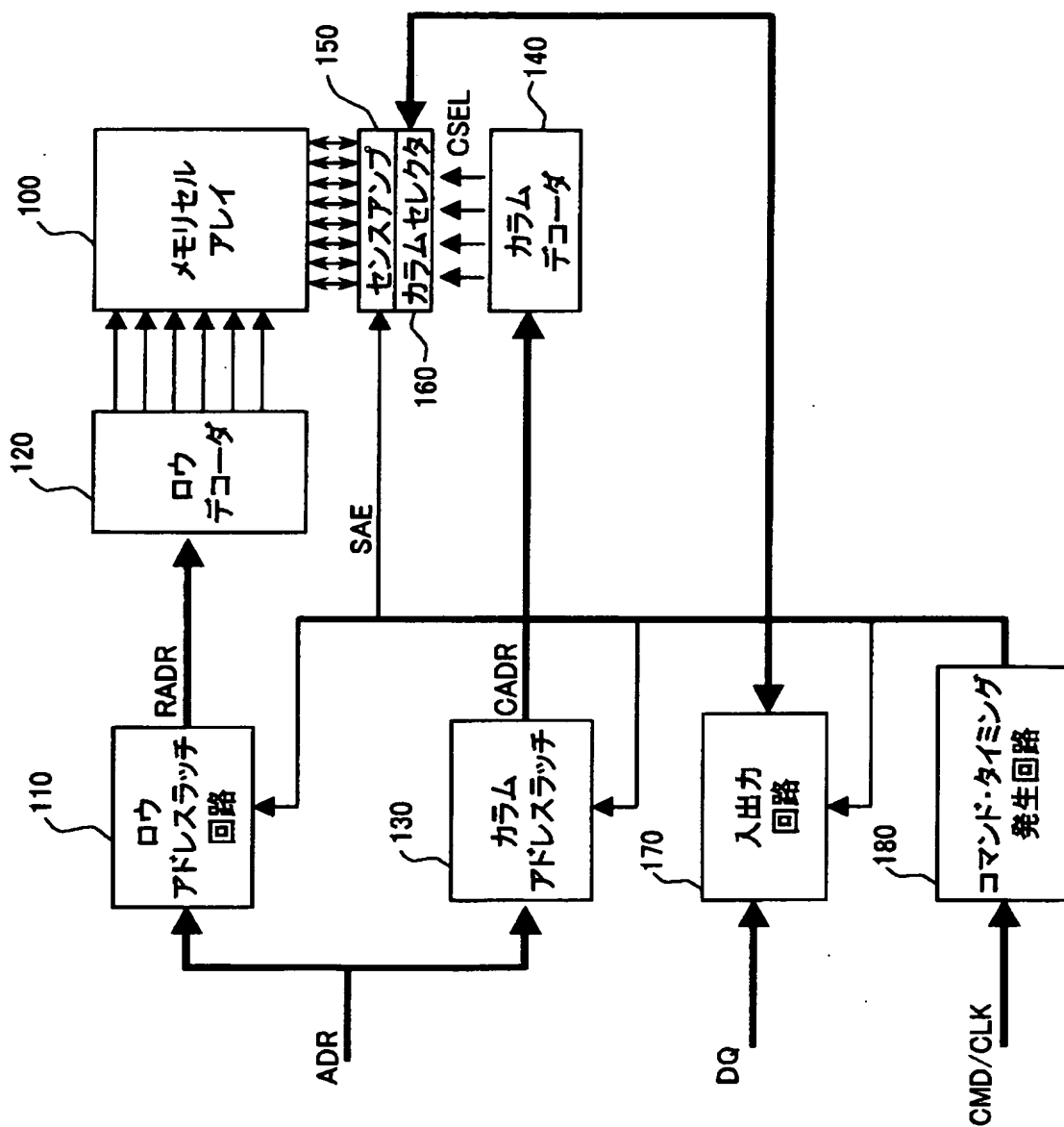
100, 100a…メモリセルアレイ、102…ビット線イコライザ、110…ロウアドレスラッチ回路、120…ロウデコーダ、130…カラムアドレスラッチ回路、140…カラムデコーダ、150…センスアンプ、160…カラムセ

レクタ、1 6 2…書き込みゲート、1 6 4…中間増幅回路、1 7 0…入出力回路
、1 8 0…コマンド・タイミング発生回路。

【書類名】

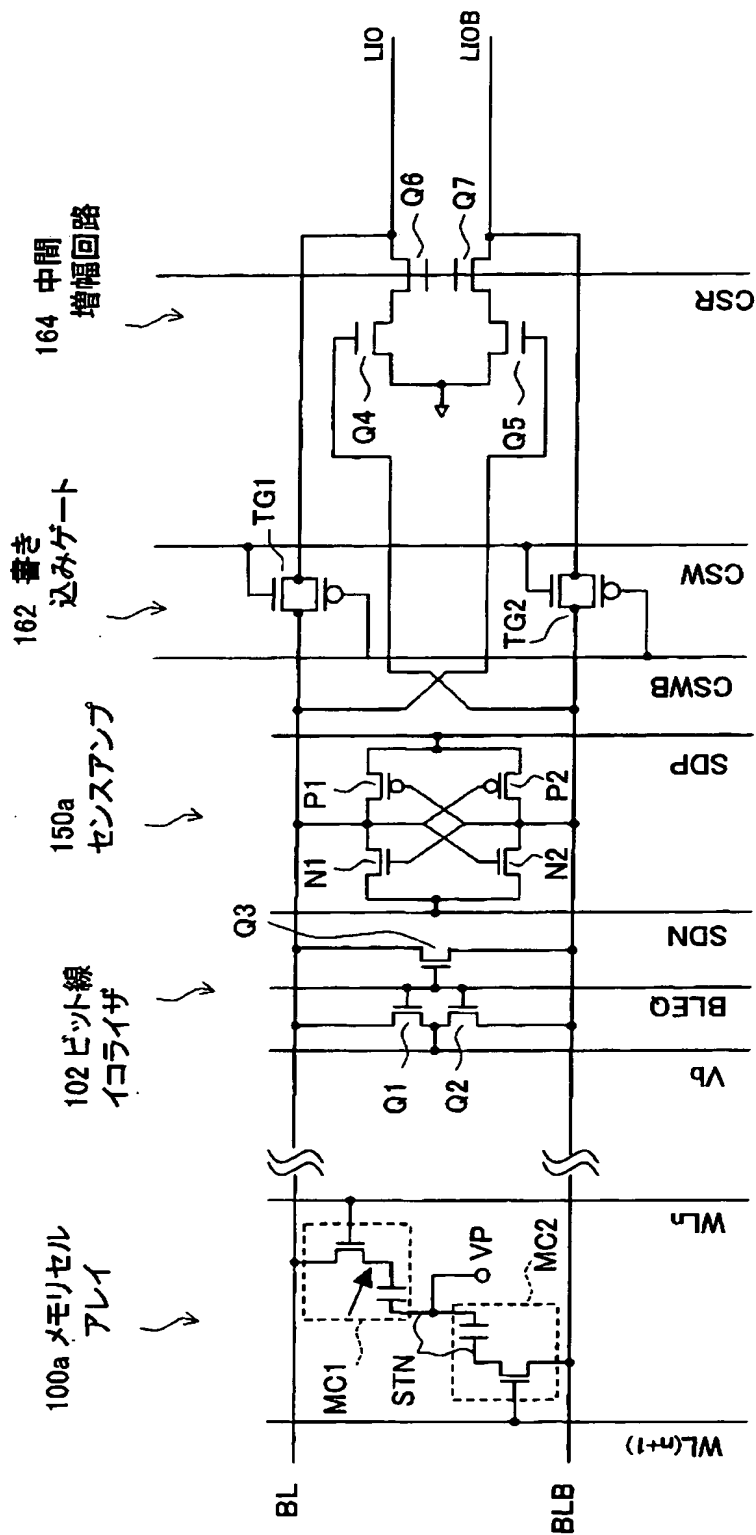
図面

【図 1】



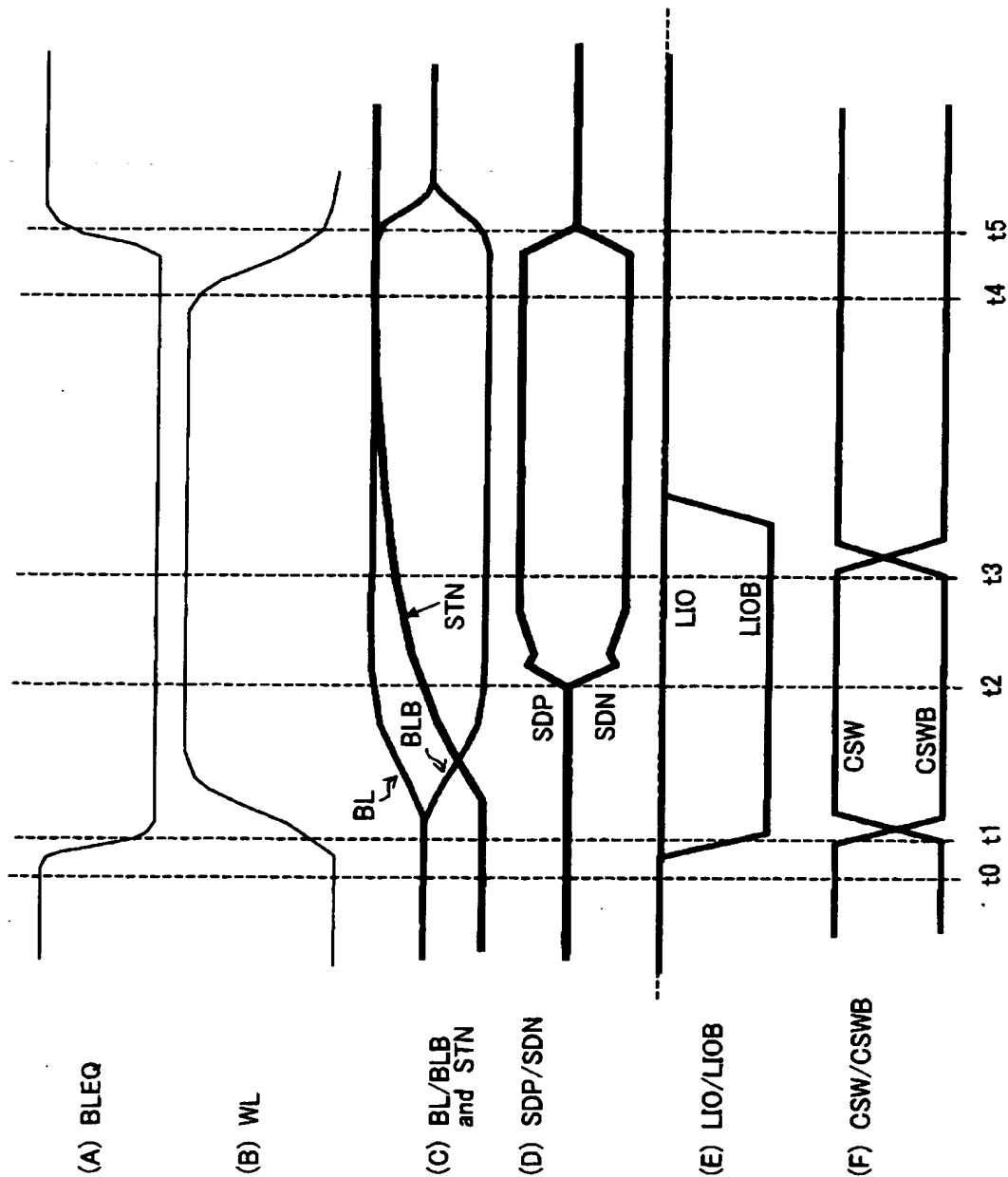
BEST AVAILABLE COPY

【図 2】



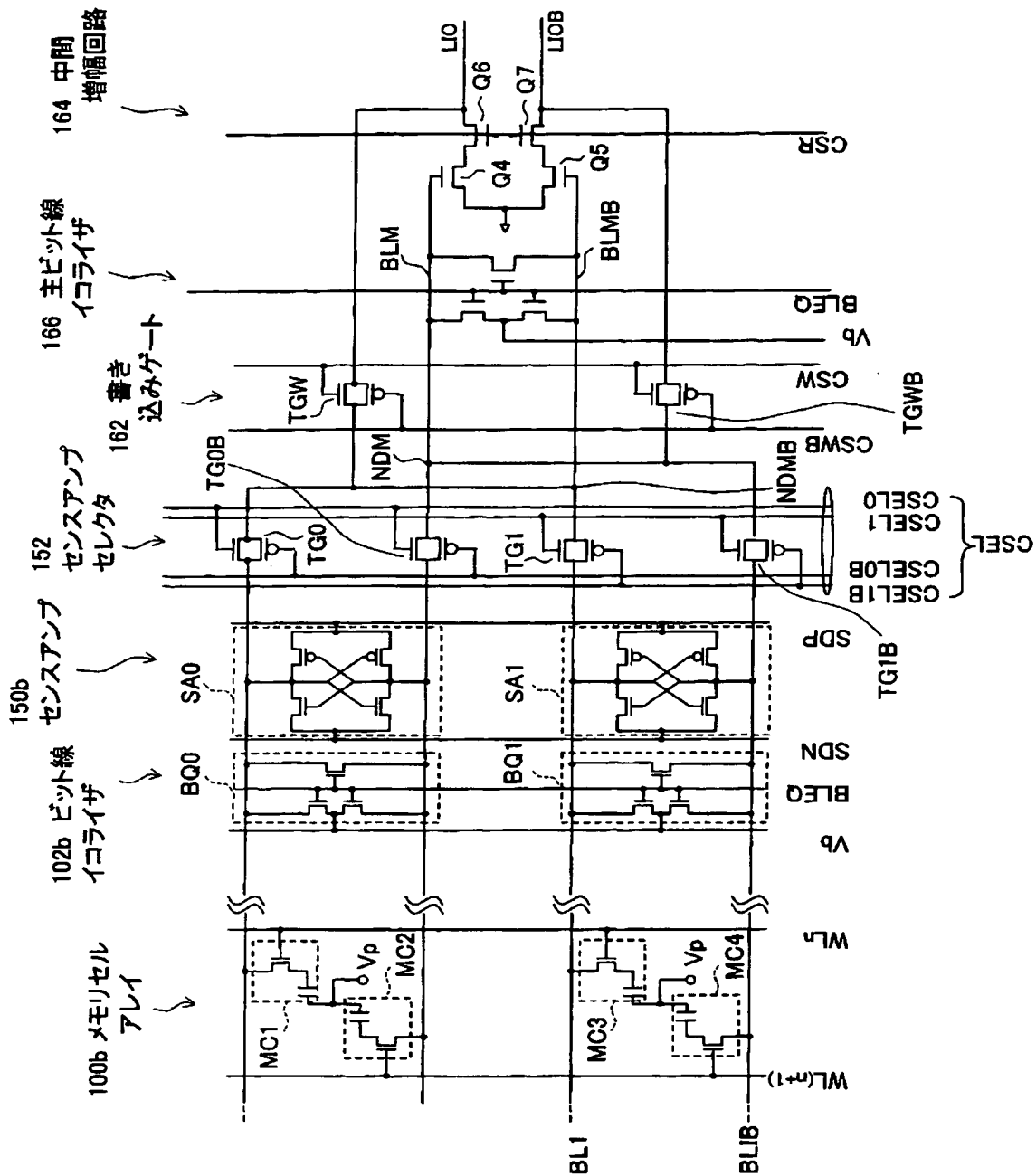
BEST AVAILABLE COPY

【図 3】



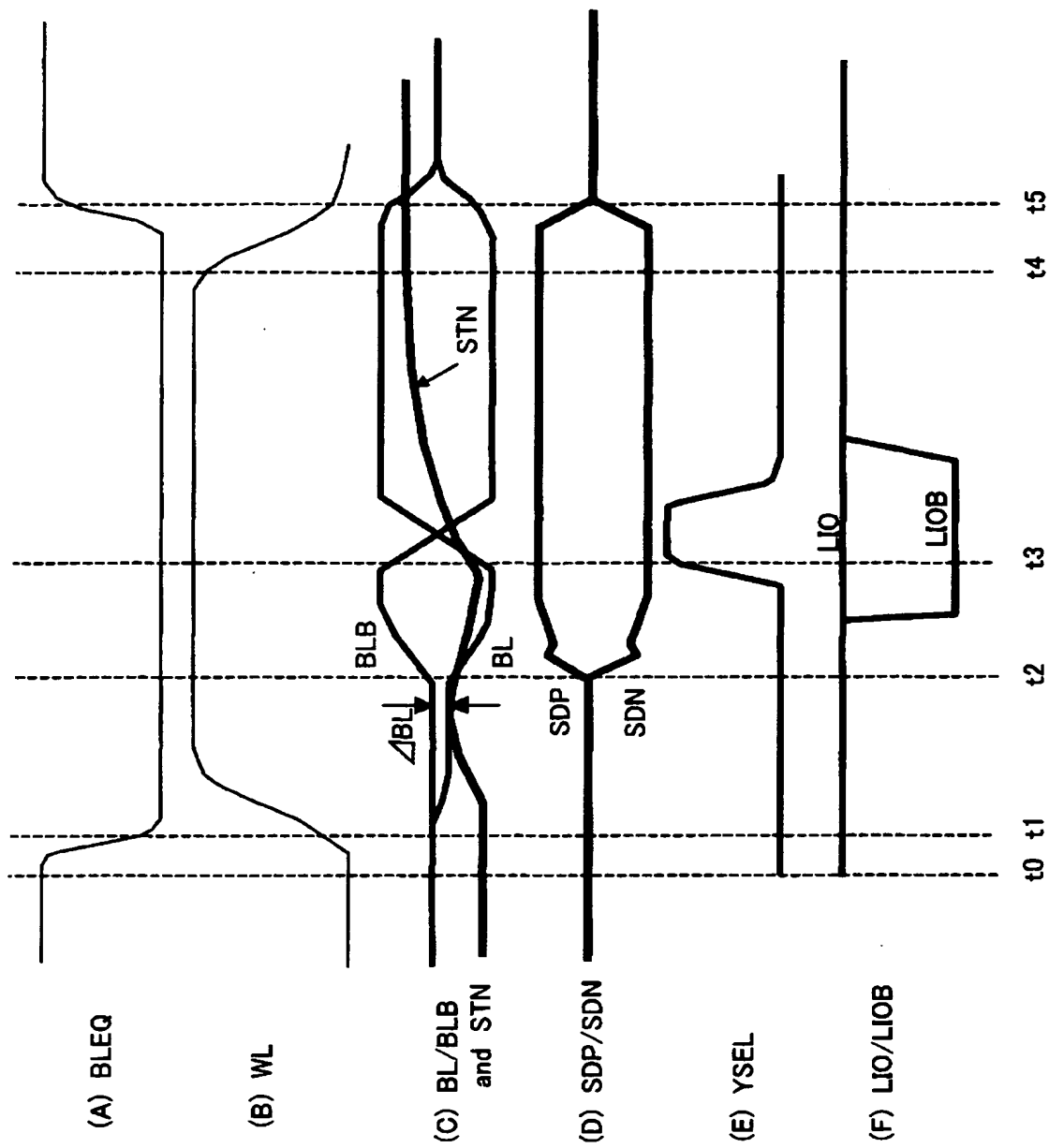
BEST AVAILABLE COPY

【図 4】



BEST AVAILABLE COPY

【図 6】



BEST AVAILABLE COPY

【書類名】 要約書

【要約】

【課題】 DRAMのランダムアクセス動作において、高速な書き込みを実現でき、しかも書き込みデータの信頼性を維持できる半導体記憶装置を実現する。

【解決手段】 メモリセルアレイのビット線BL/BLと入出力データ線LIO/LIOBとの間に書き込みゲート162を設けて、書き込みのとき、選択ワード線の活性化とともに当該書き込みゲートを開き、書き込みデータに応じて入出力データ線に設定された書き込み信号が書き込みゲート162を介して選択ビット線に印加する。これによって、書き込み時に選択ワード線が活性化された直後から選択メモリセルに対してデータの書き込みを実行でき、選択メモリセルの書き込みが非選択メモリセルの読み出し及びリフレッシュと並行に行われるので、選択メモリセルに対して電荷の蓄積時間を十分確保でき、書き込みの高速化を実現できる。

【選択図】 図2

BEST AVAILABLE COPY

特願 2003-002472

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社